

Docket No.: R2180.0163/P163
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Hideki Agari, et al.

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: Concurrently Herewith

Examiner: Not Yet Assigned

For: POWER SUPPLYING METHODS AND
APPARATUS THAT PROVIDE STABLE
OUTPUT VOLTAGE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-216929	July 25, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: July 24, 2003

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月25日

出 願 番 号

Application Number:

特願2002-216929

[ST.10/C]:

[JP 2002-216929]

出 願 人

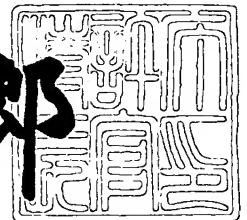
Applicant(s):

株式会社リコー

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030893

【書類名】 特許願

【整理番号】 184946

【提出日】 平成14年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/155

【発明の名称】 直流電源装置

【請求項の数】 15

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 上里 英樹

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 阿部 浩久

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 吉井 宏治

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 直流電源装置

【特許請求の範囲】

【請求項 1】 直流電源からの電圧を所定の電圧に変換して出力端子から出力する直流電源装置において、

前記直流電源からの電圧を所定の第 1 電圧に変換して前記出力端子に出力する第 1 電源回路と、

前記直流電源からの電圧を所定の第 2 電圧に変換して前記出力端子に出力すると共に、オンオフ制御される第 2 電源回路と、
を備え、

前記第 1 電源回路は、前記第 2 電源回路のオフ制御時における前記出力端子の電圧を検出して、前記第 1 電圧を出力することを特徴とする直流電源装置。

【請求項 2】 前記第 1 電源回路は、前記検出した電圧が第 1 電圧になるように前記出力端子へ出力する電流を制御し、第 1 電圧は前記第 2 電圧未満であることを特徴とする請求項 1 記載の直流電源装置。

【請求項 3】 前記第 1 電源回路は、
所定の基準電圧 V_r1 を生成して出力する第 1 基準電圧発生回路部と、
前記出力端子の電圧を分圧して出力する第 1 分圧回路部と、
入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を行う出力制御用トランジスタと、
前記第 1 分圧回路部からの分圧電圧 V_d1 が前記基準電圧 V_r1 になるように該出力制御用トランジスタの動作制御を行う第 1 演算増幅器と、
を備えたシリーズレギュレータであることを特徴とする請求項 1 又は 2 記載の直流電源装置。

【請求項 4】 前記第 2 電源回路は、
所定の基準電圧 V_r2 を生成して出力する第 2 基準電圧発生回路部と、
前記出力端子の電圧を分圧して出力する第 2 分圧回路部と、
入力される制御信号に応じて、前記直流電源からの入力電圧を出力するスイッチングを行うスイッチングトランジスタと、

前記基準電圧 $V_r 2$ と前記第 2 分圧回路部からの分圧電圧 $V_d 2$ との差電圧を増幅する第 2 演算増幅器と、

入力される制御信号に応じて作動又は作動停止を行い、作動時には該第 2 演算増幅器からの出力信号に応じて前記スイッチングトランジスタのスイッチング制御を行うと共に、作動停止時には前記スイッチングトランジスタをオフさせて遮断状態にする制御回路部と、

前記スイッチングトランジスタからの出力信号を平滑して前記出力端子に出力する平滑回路部と、

を備えたスイッチングレギュレータであることを特徴とする請求項 1、2 又は 3 記載の直流電源装置。

【請求項 5】 前記第 2 電源回路は、

所定の基準電圧 $V_r 3$ を生成して出力する第 3 基準電圧発生回路部と、

前記出力端子の電圧を分圧して出力する第 3 分圧回路部と、

入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を行う出力制御用トランジスタと、

前記第 3 分圧回路部からの分圧電圧 $V_d 3$ が前記基準電圧 $V_r 3$ になるように該出力制御用トランジスタの動作制御を行う第 3 演算増幅器と、

を備えたシリースレギュレータであることを特徴とする請求項 1、2 又は 3 記載の直流電源装置。

【請求項 6】 前記第 1 電源回路、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、第 2 演算増幅器及び制御回路部は、1 つの IC に集積されることを特徴とする請求項 4 記載の直流電源装置。

【請求項 7】 前記第 1 電源回路、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、スイッチングトランジスタ、第 2 演算増幅器及び制御回路部は、1 つの IC に集積されることを特徴とする請求項 4 記載の直流電源装置。

【請求項 8】 前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第 1 電源回路、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路

部、第2演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1つのICに集積されることを特徴とする請求項4記載の直流電源装置。

【請求項9】 前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第1電源回路、並びに前記第2電源回路における第2基準電圧発生回路部、第2分圧回路部、スイッチングトランジスタ、第2演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1つのICに集積されることを特徴とする請求項4記載の直流電源装置。

【請求項10】 第1電圧を出力する前記第1電源回路の出力端と前記出力端子との間に接続されたスイッチング素子を備え、該スイッチング素子は、前記第2電源回路から第2電圧が出力されている間はオフして遮断状態になることを特徴とする請求項1、2、3、4又は5記載の直流電源装置。

【請求項11】 前記スイッチング素子は、第1電源回路の前記出力端から前記出力端子への方向が順方向となるように接続されたダイオードであることを特徴とする請求項10記載の直流電源装置。

【請求項12】 前記第1電源回路、スイッチング素子、並びに前記第2電源回路における第2基準電圧発生回路部、第2分圧回路部、第2演算増幅器及び制御回路部は、1つのICに集積されることを特徴とする請求項10又は11記載の直流電源装置。

【請求項13】 前記第1電源回路、スイッチング素子、並びに前記第2電源回路における第2基準電圧発生回路部、第2分圧回路部、スイッチングトランジスタ、第2演算増幅器及び制御回路部は、1つのICに集積されることを特徴とする請求項10又は11記載の直流電源装置。

【請求項14】 前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第1電源回路、スイッチング素子、並びに前記第2電源回路における第2基準電圧発生回路部、第2分圧回路部、第2演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1つのICに集積されることを特徴とする請求項10又は11記載の直流電源装置。

【請求項 1 5】 前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第 1 電源回路、スイッチング素子、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、スイッチングトランジスタ、第 2 演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1 つの IC に集積されることを特徴とする請求項 1 0 又は 1 1 記載の直流電源装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、出力電流の変動や、入力電圧の変動に対して高速に応答して出力電圧を所定の電圧で一定にすることができる、低消費電流の直流電源装置に関する。

【0 0 0 2】

【従来の技術】

近年、環境問題に対する配慮から、電気機器の省電力化が求められている。特に電池駆動による機器においてその傾向が顕著である。一般に省電力化を図る手段としては、機器で消費する電力を削減することと、電源自体の効率を向上させて無駄な電力消費を抑えることが重要である。機器で消費する電力を削減する方法の 1 つとして、機器が動作していない状態はスタンバイ状態として、機器内の回路動作を停止して消費電力を低減させることが一般的に行われている。しかし、機器がスタンバイ状態に移行しても、電源回路自体の効率が悪いと十分な省電力効果を期待することができなかった。

【0 0 0 3】

一方、機器に使用される一般的な電源回路としては、スイッチングレギュレータと、シリーズレギュレータがあった。

スイッチングレギュレータは、定格負荷における効率は高いが、出力電圧のリップルや作動時のノイズが大きく、内部で消費する電力が比較的大きいため、消費電流が小さい軽負荷に電源供給を行う場合は効率が著しく低下する。更に、出力電圧の立ち上がり、入力電圧変動及び負荷変動に対するそれぞれの応答がやや遅

いため、出力電圧の安定度が低いという欠点があった。

【 0 0 0 4 】

一方、シリースレギュレータは、消費電流が大きい重負荷に電源供給を行う場合は出力制御用トランジスタで消費する電力が大きくなるため効率は低いが、出力電圧のリプルが少なく作動時のノイズも小さい。しかも、電源制御回路内部で消費する電力を小さくすることができるため、負荷電流が小さい場合はスイッチングレギュレータよりも高効率を得られる場合があった。更に、出力電圧の立ち上がり、入力電圧変動及び負荷変動に対するそれぞれの応答を早くすることも容易であり、出力電圧の安定度も高い。

【 0 0 0 5 】

そこで、このような2つのタイプのレギュレータを両方とも備え、負荷電流に応じて、どちらか一方のレギュレータだけを使用することによって、電源回路自体の効率を向上させることができる電源装置が特開 2 0 0 1 - 1 9 7 7 3 1 号公報で開示されている。

【 0 0 0 6 】

図 7 は、特開 2 0 0 1 - 1 9 7 7 3 1 号公報で開示された電源装置を示した図である。

図 7 において、DC-DCコンバータ 6 6 は、直列型電源回路 1 0 0 及びスイッチング型電源回路 1 0 2 を備えている。直列型電源回路 1 0 0 は負荷電流に関わらず電力変換効率が約 7 0 % でほぼ一定であり、スイッチング型電源回路 1 0 2 は、消費電流が大きい重負荷での効率は 8 0 % 以上であるが、消費電流が小さい軽負荷になるほど効率が低下する特性となっている。軽負荷では直列型電源回路 1 0 0 を作動させ、重負荷ではスイッチング型電源回路 1 0 2 を作動させるように構成している。

【 0 0 0 7 】

直列型電源回路 1 0 0 とスイッチング型電源回路 1 0 2 の PWM コントローラ 1 0 8 にはそれぞれイネーブル端子(-EN)が備えられており、該イネーブル端子がローレベルになってアクティブになると、各電源回路は、あらかじめ設定された規定電圧をそれぞれ出力する。すなわち、重負荷の場合は、入力端子 1 0 9

に入力されるスタンバイ信号をロー（Low）レベルにして、スイッチング型電源回路 1 0 2 を作動させると共に直列型電源回路 1 0 0 の作動を停止する。また、軽負荷の場合は、スタンバイ信号をハイ（High）レベルにして、スイッチング型電源回路 1 0 2 の作動を停止させると共に直列型電源回路 1 0 0 を作動状態にする。このようにして、軽負荷時は、効率の低下したスイッチング型電源回路 1 0 2 に代わって、直列型電源回路 1 0 0 を使用するようにしたことから、電源回路全体として効率を高めることができる。

【0 0 0 8】

【発明が解決しようとする課題】

しかし、特開 2 0 0 1 - 1 9 7 7 3 1 号公報では、直列型電源回路 1 0 0 とスイッチング型電源回路 1 0 2 の両方にイネーブル端子を設け、作動及び非作動を切り換えるために、各電源回路にはイネーブル端子に入力された信号を処理するための回路が必要になって回路規模が増大すると共に、各電源回路にイネーブル信号を供給するための回路が必要になる。また、スタンバイ信号がローレベルからハイレベルに変化した場合、スイッチング型電源回路 1 0 2 の出力電圧が低下しても、直列型電源回路 1 0 0 の出力が規定の電圧まで上昇するのに時間がかかるため、共通出力端子電圧が一瞬低下するアンダーシュートが発生するという問題が考えられる。

【0 0 0 9】

本発明は、上記のような問題を解決するためになされたものであり、一方の電源回路にだけイネーブル信号を出力するだけで 2 つの電源回路の作動及び非作動の制御を行うことができるようにすることによって、簡単な回路構成で、負荷の消費電流に応じて異なる 2 つの電源回路を排他的に切り換えて作動させることができる直流電源装置を得ることを目的とする。

【0 0 1 0】

【課題を解決するための手段】

この発明に係る直流電源装置は、直流電源からの電圧を所定の電圧に変換して出力端子から出力する直流電源装置において、

前記直流電源からの電圧を所定の第 1 電圧に変換して前記出力端子に出力する

第 1 電源回路と、

前記直流電源からの電圧を所定の第 2 電圧に変換して前記出力端子に出力すると共に、オンオフ制御される第 2 電源回路と、
を備え、

前記第 1 電源回路は、前記第 2 電源回路のオフ制御時における前記出力端子の電圧を検出して、前記第 1 電圧を出力するものである。

【 0 0 1 1 】

具体的には、前記第 1 電源回路は、前記検出した電圧が第 1 電圧になるように前記出力端子へ出力する電流を制御し、第 1 電圧は前記第 2 電圧未満であるようにした。

【 0 0 1 2 】

また、前記第 1 電源回路は、
所定の基準電圧 V_{r1} を生成して出力する第 1 基準電圧発生回路部と、
前記出力端子の電圧を分圧して出力する第 1 分圧回路部と、
入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を行う出力制御用トランジスタと、

前記第 1 分圧回路部からの分圧電圧 V_{d1} が前記基準電圧 V_{r1} になるように該出力制御用トランジスタの動作制御を行う第 1 演算増幅器と、
を備えたシリーズレギュレータであるようにした。

【 0 0 1 3 】

一方、前記第 2 電源回路は、
所定の基準電圧 V_{r2} を生成して出力する第 2 基準電圧発生回路部と、
前記出力端子の電圧を分圧して出力する第 2 分圧回路部と、
入力される制御信号に応じて、前記直流電源からの入力電圧を出力するスイッチングを行うスイッチングトランジスタと、

前記基準電圧 V_{r2} と前記第 2 分圧回路部からの分圧電圧 V_{d2} との差電圧を増幅する第 2 演算増幅器と、

入力される制御信号に応じて作動又は作動停止を行い、作動時には該第 2 演算増幅器からの出力信号に応じて前記スイッチングトランジスタのスイッチング制

御を行うと共に、作動停止時には前記スイッチングトランジスタをオフさせて遮断状態にする制御回路部と、

前記スイッチングトランジスタからの出力信号を平滑して前記出力端子に出力する平滑回路部と、

を備えたスイッチングレギュレータであるようにしてもよい。

【 0 0 1 4 】

また、前記第 2 電源回路は、

所定の基準電圧 V_{r3} を生成して出力する第 3 基準電圧発生回路部と、

前記出力端子の電圧を分圧して出力する第 3 分圧回路部と、

入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を行う出力制御用トランジスタと、

前記第 3 分圧回路部からの分圧電圧 V_{d3} が前記基準電圧 V_{r3} になるように該出力制御用トランジスタの動作制御を行う第 3 演算増幅器と、

を備えたシリーズレギュレータであるようにしてもよい。

【 0 0 1 5 】

具体的には、前記第 1 電源回路、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、第 2 演算増幅器及び制御回路部は、1つの IC に集積されるようにした。

【 0 0 1 6 】

また、前記第 1 電源回路、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、スイッチングトランジスタ、第 2 演算増幅器及び制御回路部は、1つの IC に集積されるようにしてもよい。

【 0 0 1 7 】

一方、前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第 1 電源回路、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、第 2 演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1つの IC に集積されるようにしてもよい。

【 0 0 1 8 】

また、前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第 1 電源回路、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、スイッチングトランジスタ、第 2 演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1 つの IC に集積されるようにしてもよい。

【 0 0 1 9 】

また、第 1 電圧を出力する前記第 1 電源回路の出力端と前記出力端子との間に接続されたスイッチング素子を備え、該スイッチング素子は、前記第 2 電源回路から第 2 電圧が出力されている間はオフして遮断状態になるようにした。

【 0 0 2 0 】

具体的には、前記スイッチング素子は、第 1 電源回路の前記出力端から前記出力端子への方向が順方向となるように接続されたダイオードであるようにした。

【 0 0 2 1 】

また、前記第 1 電源回路、スイッチング素子、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、第 2 演算増幅器及び制御回路部は、1 つの IC に集積されるようにした。

【 0 0 2 2 】

また、前記第 1 電源回路、スイッチング素子、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、スイッチングトランジスタ、第 2 演算増幅器及び制御回路部は、1 つの IC に集積されるようにしてもよい。

【 0 0 2 3 】

一方、前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第 1 電源回路、スイッチング素子、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、第 2 演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1 つの IC に集積されるようにしてもよい。

【 0 0 2 4 】

また、前記平滑回路部は、前記制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、前記第 1 電源回路、スイ

ツチング素子、並びに前記第 2 電源回路における第 2 基準電圧発生回路部、第 2 分圧回路部、スイッチングトランジスタ、第 2 演算増幅器、制御回路部及び平滑回路部の該トランジスタは、1 つの IC に集積されるようにしてもよい。

【 0 0 2 5 】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態.

図 1 は、本発明の第 1 の実施の形態における直流電源装置の構成例を示したブロック図である。

図 1 において、直流電源装置 1 の入力端子 IN には電池等の直流電源 7 からの電圧 V b a t が入力されており、直流電源装置 1 の出力端子 OUT には負荷 8 が接続されている。直流電源装置 1 は、入力された電圧 V b a t から所定の定電圧を生成して負荷 8 に出力する。

【 0 0 2 6 】

直流電源装置 1 は、入力された電圧 V b a t から所定の定電圧 V a を生成して出力端子 OUT に出力する第 1 電源回路 2 と、入力された電圧 V b a t から所定の定電圧 V b を生成して出力端子 OUT に出力する第 2 電源回路 3 と、コンデンサ 4 とを備えている。入力端子 IN と出力端子 OUT との間には、第 1 電源回路 2 及び第 2 電源回路 3 が並列に接続されており、出力端子 OUT と接地電圧との間にコンデンサ 4 が接続されている。

【 0 0 2 7 】

第 1 電源回路 2 は、消費電流の小さい負荷である軽負荷に定電圧を供給する場合に効率の高い電源回路であり、第 2 電源回路 3 は、消費電流の大きい負荷である重負荷に定電圧を供給する場合に高効率であるが、軽負荷に定電圧を供給する場合は効率が低下する電源回路である。第 1 電源回路 2 は、出力端子 OUT の電圧 V o の検出を行い、該電圧 V o が所定の定電圧 V a になるように作動する。また、第 1 電源回路 2 は、第 2 電源回路 3 が出力端子 OUT に電圧を出力していない場合は、出力端子 OUT の電圧 V o が低下したことを検知して、出力端子 OUT へ所定の定電圧 V a を出力する。

【 0 0 2 8 】

第 2 電源回路 3 は、制御信号入力端に外部から入力される制御信号 S_c に応じて作動し、例えば制御信号 S_c がロー (Low) レベルの場合は作動状態となって所定の定電圧 V_b を生成して出力する。また、第 2 電源回路 3 は、制御信号 S_c がハイ (High) レベルの場合は作動を停止して非作動となり、出力端子 OUT への電圧の出力を停止すると共に、第 2 電源回路 3 自体の消費電力をほとんど消費しない程度に低減する。

【 0 0 2 9 】

このように、第 1 電源回路 2 は、第 2 電源回路 3 の出力電圧を検知して、出力端子 OUT に電圧を出力するか否かを制御するようにしたことから、第 1 電源回路 2 には作動又は非作動に切り換えるための制御信号が不要であり、このため、回路規模の縮小ができ小型化及びコストダウンを図ることができる。なお、コンデンサ 4 は、第 1 電源回路 2 及び第 2 電源回路 3 からの各出力電圧のリプル除去や、負荷 8 への出力電流の変動に対する第 1 電源回路 2 及び第 2 電源回路 3 の応答の遅れによる出力電圧 V_o の変動を抑える働きを有する。更に、コンデンサ 4 は、第 2 電源回路 3 が非作動になり、出力電圧 V_o が低下して、第 1 電源回路 2 から電圧が出力されるまでの間に、出力電圧 V_o にアンダーシュートが発生しないように出力電圧 V_o を保持する機能を併せ持っている。

【 0 0 3 0 】

図 2 は、第 1 電源回路 2 の回路例を示した回路図である。

図 2 における第 1 電源回路 2 は、所定の基準電圧 V_{r1} を生成して出力する基準電圧発生回路部 11 と、出力電圧 V_o を分圧して出力する抵抗 12 及び 13 からなる分圧回路部 14 と、ゲートに入力される電圧に応じた電流を出力端子 OUT に出力する P チャネル型 MOS トランジスタ (以下、PMOS トランジスタと呼ぶ) からなる出力制御用トランジスタ 15 と、分圧回路部 14 で生成された分圧電圧 V_{d1} が基準電圧 V_{r1} になるように該出力制御用トランジスタ 15 の動作制御を行う演算増幅器 16 とで構成されている。

【 0 0 3 1 】

出力電圧 V_o は、分圧回路部 14 で分圧され、該分圧電圧 V_{d1} と基準電圧 V

r_1 との差電圧を演算増幅器 16 で増幅して出力制御用トランジスタ 15 のゲートに出力される。このように、演算増幅器 16 は、出力制御用トランジスタ 15 の動作制御を行って、出力電圧 V_o が所望の電圧で一定になるようにしている。なお、基準電圧発生回路部 11 は第 1 基準電圧発生回路部を、分圧回路部 14 は第 1 分圧回路部を、演算増幅器 16 は第 1 演算増幅器をそれぞれなしている。

【 0 0 3 2 】

図 3 は、第 2 電源回路 3 の回路例を示した回路図である。

図 3 における第 2 電源回路 3 は、直流電源 7 から入力された電圧 V_{bat} を出力するスイッチングを行う PMOS トランジスタからなるスイッチングトランジスタ 21 と、該スイッチングトランジスタ 21 からの出力信号を平滑して出力端子 OUT に出力する平滑回路部 22 とを備えている。

【 0 0 3 3 】

更に、第 2 電源回路 3 は、所定の基準電圧 V_{r2} を生成して出力する基準電圧発生回路部 23 と、出力端子 OUT から出力される電圧 V_o を分圧して分圧電圧 V_{d2} を生成し出力する抵抗 24 及び 25 からなる分圧回路部 26 と、基準電圧 V_{r2} に対する分圧電圧 V_{d2} の差電圧を増幅して出力する演算増幅器 27 と、該演算増幅器 27 からの出力信号に応じて前記スイッチングトランジスタ 21 のスイッチング制御を行う制御回路部 28 とを備えている。なお、基準電圧発生回路部 23 は第 2 基準電圧発生回路部を、分圧回路部 26 は第 2 分圧回路部を、演算増幅器 27 は第 2 演算増幅器をそれぞれなしている。

【 0 0 3 4 】

出力電圧 V_o は分圧回路部 26 で分圧され、該分圧電圧 V_{d2} と基準電圧 V_{r2} との差電圧を演算増幅器 27 で増幅する。演算増幅器 27 及び制御回路部 28 には、制御信号 S_c がそれぞれ入力されており、演算増幅器 27 及び制御回路部 28 は、制御信号 S_c がローレベルの場合は作動状態となり、制御信号 S_c がハイレベルの場合は作動停止状態になりスイッチングトランジスタ 21 はオフして遮断状態になって、出力端子 OUT への電圧の出力を停止すると共に、第 2 電源回路 3 自体の消費電力はほとんど消費しない程度に低減する。

【 0 0 3 5 】

制御回路部 28 は、例えば三角波のパルス信号を発生させる発振回路とコンパレータとを備え、該発振回路の出力信号と演算増幅器 27 の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてスイッチングトランジスタ 21 のオン時間を制御する。スイッチングトランジスタ 21 から出力された信号は、フライホイールダイオードをなすダイオード D1、コイル L1 及びコンデンサ C1 からなる平滑回路部 22 で平滑されて出力端子 OUT へ出力される。

【0036】

このような構成において、第 1 電源回路 2 の出力電圧 V_{o1} は、第 2 電源回路 3 の出力電圧 V_{o2} よりも少し小さくなるように設定されている。例えば、出力電圧 V_{o1} を 1.8 V、出力電圧 V_{o2} を 1.9 V になるように第 1 電源回路 2 及び第 2 電源回路 3 がそれぞれ設定されている。ここで、制御信号 S_c がローレベルで、第 2 電源回路 3 が作動し、出力電圧 V_{o2} 及び出力端子 OUT の電圧 V_o がそれぞれ 1.9 V になっている。一方、第 1 電源回路 2 では、出力電圧 V_o の電圧を 1.8 V まで低下させるように帰還が働き、演算増幅器 16 は、出力制御用トランジスタ 15 のゲート電圧を上昇させる。しかし、出力電圧 V_o は、第 2 電源回路 3 の出力電圧 1.9 V で固定されているため、演算増幅器 16 は、出力制御用トランジスタ 15 をオフさせ、第 1 電源回路 2 からの電圧出力は停止する。

【0037】

次に、制御信号 S_c がハイレベルになると、第 2 電源回路 3 は非作動となり、第 2 電源回路 3 からの出力端子 OUT への電圧出力が停止し、出力端子 OUT の電圧が低下する。出力端子 OUT の電圧が低下して 1.8 V 未満になると、第 1 電源回路 2 の帰還ループが機能し、第 1 電源回路 2 は、出力端子 OUT の電圧 V_o を 1.8 V に固定する。このように、第 1 電源回路 2 の出力電圧 V_{o1} を、第 2 電源回路 3 の出力電圧 V_{o2} よりも少し小さくなるように設定することで、第 1 電源回路 2 に特別な制御入力端子を追加することなく、第 1 電源回路 2 における出力電圧の出力制御を行うことができる。

【0038】

また、図1～図3において、第1電源回路2、並びに第2電源回路3の基準電圧発生回路部23、分圧回路部26、演算増幅器27及び制御回路部28を1つのICに集積しており、場合によってはスイッチングトランジスタ21を含めて1つのICに集積するようにしてもよい。また、図3のダイオードD1の代わりにNMOSトランジスタ31を使用してもよく、このようにした場合、図3の第2電源回路3は、図4のようになる。なお、図4では、図1と同じものは同じ符号で示しており、その説明を省略する。また、フライホイールダイオードの代わりに制御回路部28によって動作制御されるNMOSトランジスタ31を使用することは公知であり、ここではその動作の説明を省略する。図4のようになった場合、第1電源回路2、基準電圧発生回路部23、分圧回路部26、演算増幅器27、制御回路部28及びNMOSトランジスタ31は、1つのICに集積することができ、場合によってはスイッチングトランジスタ21を含めて1つのICに集積するようにしてもよい。

【0039】

一方、前記説明では第2電源回路3がスイッチングレギュレータである場合を例にして説明したが、第2電源回路3がシリーズレギュレータであってもよく、この場合図1の第2電源回路3は、図5のようになる。

図5において、第2電源回路3は、所定の基準電圧 V_r3 を生成して出力する基準電圧発生回路部35と、出力電圧 V_o を分圧して出力する抵抗36及び37からなる分圧回路部38と、出力制御用トランジスタ39と、分圧回路部38で生成された分圧電圧 V_d3 が基準電圧 V_r3 になるように該出力制御用トランジスタ39の動作制御を行う演算増幅器40とで構成されている。なお、基準電圧発生回路部35は第3基準電圧発生回路部を、分圧回路部38は第3分圧回路部を、演算増幅器40は第3演算増幅器をそれぞれなしている。

【0040】

出力電圧 V_o は、分圧回路部38で分圧され、該分圧電圧 V_d3 と基準電圧 V_r3 との差電圧を演算増幅器40で増幅して出力制御用トランジスタ39のゲートに出力される。このように、演算増幅器40は、出力制御用トランジスタ39の動作制御を行って、出力電圧 V_o が所望の電圧で一定になるようにしている。

演算増幅器 4 0 には、制御信号 S c が入力されており、演算増幅器 4 0 は、制御信号 S c がローレベルの場合は作動状態となり、制御信号 S c がハイレベルの場合は作動停止状態になって、出力制御用トランジスタ 3 9 はオフして遮断状態になり、出力端子 O U T への電圧の出力を停止すると共に、第 2 電源回路 3 自体の消費電力はほとんど消費しない程度に低減する。

このような構成の第 2 電源回路 3 を使用した場合、第 1 電源回路 2 及び第 2 電源回路 3 は 1 つの I C に集積するようにしてもよい。

【 0 0 4 1 】

このように、本第 1 の実施の形態における直流電源装置は、消費電流の小さい負荷である軽負荷に電源を供給する場合に効率の高い第 1 電源回路 2 と、消費電流の大きい負荷である重負荷に電源を供給する場合に高効率であるが、軽負荷に電源を供給する場合は効率が低下する第 2 電源回路 3 とを入力端子 I N と出力端子 O U T との間に並列に接続し、第 1 電源回路 2 は、第 2 電源回路 3 の出力電圧を検知して、出力端子 O U T に電圧を出力するか否かを制御するようにした。このことから、第 1 電源回路 2 には作動又は非作動に切り換えるための制御信号を不要にすることができるため、回路規模の縮小ができ小型化及びコストダウンを図ることができる。

【 0 0 4 2 】

第 2 の実施の形態。

前記第 1 の実施の形態では、第 2 電源回路 3 から所定の電圧が出力されている間は、第 1 電源回路 2 の出力制御用トランジスタ 1 5 をオフさせて遮断状態にしていたが、第 1 電源回路 2 と出力端子 O U T との間にスイッチング素子を設け、第 2 電源回路 3 から所定の電圧が出力されている間は、該スイッチング素子をオフさせて遮断状態にし、第 2 電源回路 3 から所定の電圧が出力されていない間は、該スイッチング素子をオンさせて第 1 電源回路 2 の出力電圧を出力端子 O U T に出力するようにしてもよく、このようにしたものを本発明の第 2 の実施の形態とする。

【 0 0 4 3 】

図 6 は、本発明の第 2 の実施の形態における直流電源装置の構成例を示したブ

ロック図である。なお、図 6 では、図 1 と同じものは同じ符号で示しており、ここではその説明を省略すると共に図 1 との相違点のみ説明する。

図 6 における図 1 との相違点は、第 1 電源回路 2 の出力端と出力端子 OUT との間にスイッチング素子をなすダイオード 4 5 を設けたことにある。これに伴って、図 1 の直流電源装置 1 を直流電源装置 1 a にした。

直流電源装置 1 a は、第 1 電源回路 2 と、第 2 電源回路 3 と、コンデンサ 4 と、ダイオード 4 5 とを備えている。入力端子 IN と出力端子 OUT との間には、第 1 電源回路 2 及びダイオード 4 5 の直列回路と第 2 電源回路 3 とが並列に接続されており、出力端子 OUT と接地電圧との間にコンデンサ 4 が接続されている。

【 0 0 4 4 】

このような構成において、第 2 電源回路 3 の出力電圧 V_o2 が 1.9 V に設定されている場合を例にして説明する。

制御信号 S_c がローレベルの場合は、第 2 電源回路 3 が作動し、出力端子 OUT の電圧 V_o が 1.9 V になっている。また、第 1 電源回路 2 から電圧が出力されているが、出力電圧 V_o1 が、電圧 $V_o (= 1.9 \text{ V})$ にダイオード 4 5 の順方向電圧 $V_{th} (= \text{約 } 0.6 \text{ V})$ を加えた値以下であれば、出力電圧 V_o1 は出力端子 OUT に出力されることはない。例えば、出力電圧 V_o1 を 2.4 V に設定すると、第 2 電源回路 3 が作動中は、出力電圧 V_o1 が出力端子 OUT に出力されることはない。

【 0 0 4 5 】

次に、制御信号 S_c がハイレベルになると、第 2 電源回路 3 は非作動となり、出力電圧 V_o が低下する。出力端子 OUT の電圧 V_o が 1.8 V 未満になると、ダイオード 4 5 が順バイアスとなり出力電圧 V_o1 が出力端子 OUT に出力されるようになる。なお、前記ダイオード 4 5 にショットキバリアダイオード等のようなしきい値電圧 V_{th} が小さいダイオードを使用することによって、ダイオード 4 5 の順方向電圧が減少した分だけ電源効率を高めることができる。

【 0 0 4 6 】

また、図 6 において、第 1 電源回路 2、ダイオード 4 5 並びに第 2 電源回路 3

の基準電圧発生回路部 23、分圧回路部 26、演算増幅器 27 及び制御回路部 28 を 1 つの IC に集積しており、場合によっては第 2 電源回路 3 のスイッチングトランジスタ 21 を含めて 1 つの IC に集積するようにしてもよい。また、図 4 で示した場合と同様に、第 2 電源回路 3 のダイオード D1 の代わりに NMOS トランジスタ 31 を使用してもよい。このようにした場合、第 1 電源回路 2、ダイオード 45、基準電圧発生回路部 23、分圧回路部 26、演算増幅器 27、制御回路部 28 及び NMOS トランジスタ 31 は、1 つの IC に集積することができ、場合によってはスイッチングトランジスタ 21 を含めて 1 つの IC に集積するようにしてもよい。

【0047】

一方、図 5 で示した場合と同様に、第 2 電源回路 3 がシリーズレギュレータをなしている場合であってもよく、この場合、第 1 電源回路 2、ダイオード 45 及び第 2 電源回路 3 は 1 つの IC に集積するようにしてもよい。

【0048】

このように、本第 2 の実施の形態における直流電源装置は、第 2 電源回路 3 の非作動中に第 1 電源回路 2 が出力端子 OUT に出力する電圧 V_o1 を、第 2 電源回路 3 が作動中に第 2 電源回路 3 が出力端子 OUT に出力する電圧 V_o2 よりも小さく設定することによって、第 1 電源回路 2 には特別な制御入力端子を追加することなく、第 1 電源回路 2 の出力電圧 V_o1 の出力／非出力を制御することができる。

【0049】

更に、第 2 電源回路 3 が作動中であっても、第 1 電源回路 2 は常に出力電圧 V_o1 を生成して出力しているため、第 2 電源回路 3 が非作動になって第 1 電源回路 2 から出力端子 OUT に電圧 V_o1 が出力される変化点でも、前記第 1 の実施の形態で説明したような出力電圧 V_o に発生するアンダーシュートを抑制することができ、負荷 8 に並列に接続されているコンデンサ 4 の容量を小さくすることができる。

【0050】

なお、前記第 1 及び第 2 の各実施の形態では、制御素子として PMOS トラン

ジスタを使用した場合を例にして説明したが、該PMOSトランジスタの代わりに、Nチャネル型MOSトランジスタや接合型の電界効果トランジスタを使用してもよく、バイポーラトランジスタのPNPトランジスタやNPNトランジスタを使用することも可能である。

【0051】

【発明の効果】

上記の説明から明らかなように、本発明の直流電源装置によれば、第2電源回路に制御信号を入力するだけで、負荷に供給する電源回路を第1電源回路と第2電源回路のいずれか一方に切り換えることができるため、制御信号を第1電源回路に供給するための回路、及び第1電源回路の制御信号処理回路が不要となり、回路の簡素化及び小型化を図ることができ、コストダウンを図ることができる。

【0052】

また、第1電源回路は、消費電流の小さい負荷である軽負荷に電源を供給する場合に効率の高い電源回路、例えばシリーズレギュレータであり、第2電源回路3は、消費電流の大きい負荷である重負荷に電源を供給する場合に高効率であるが、軽負荷に電源を供給する場合は効率が低下する電源回路、例えばスイッチングレギュレータであり、負荷の消費電流に応じて第1電源回路及び第2電源回路のいずれ一方を排他的に作動させるようにしたことから、電力変換効率を高めることができると共に省電力化を図ることができる。

【0053】

更に、第1電源回路の出力端と直流電源装置の出力端子との間にスイッチング素子を挿入したことから、第1電源回路と第2電源回路との切り換え時に発生する直流電源装置の出力電圧のアンダーシュートを低減することができ、該出力端子に接続するコンデンサの小型化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における直流電源装置の構成例を示したブロック図である。

【図2】 図1の第1電源回路2の回路例を示した回路図である。

【図3】 図1における第2電源回路3の回路例を示した回路図である。

【図 4】 図 1 における第 2 電源回路 3 の他の回路例を示した回路図である

。

【図 5】 図 1 における第 2 電源回路 3 の他の回路例を示した回路図である

。

【図 6】 本発明の第 2 の実施の形態における直流電源装置の構成例を示したブロック図である。

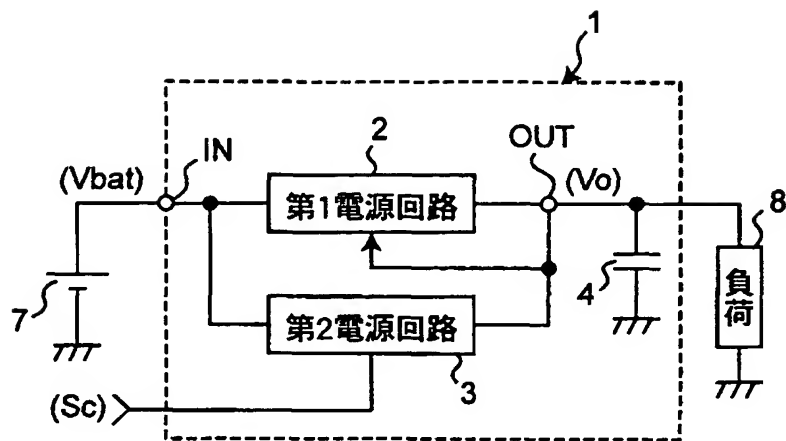
【図 7】 従来の直流電源装置の構成例を示したブロック図である。

【符号の説明】

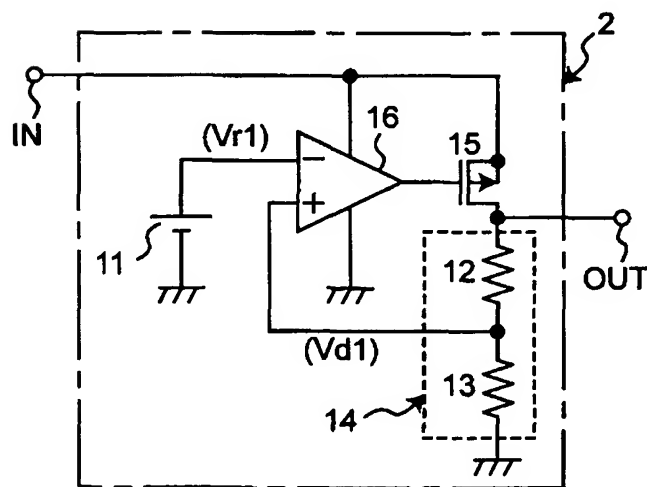
- 1, 1 a 直流電源装置
- 2 第 1 電源回路
- 3 第 2 電源回路
- 4 コンデンサ
- 7 直流電源
- 8 負荷
- 1 1, 2 3, 3 5 基準電圧発生回路部
- 1 4, 2 6, 3 8 分圧回路部
- 1 5, 3 9 出力制御用トランジスタ
- 1 6, 2 7, 4 0 演算増幅器
- 2 1 スイッチングトランジスタ
- 2 2 平滑回路部
- 2 8 制御回路部
- 4 5 ダイオード

【書類名】 図面

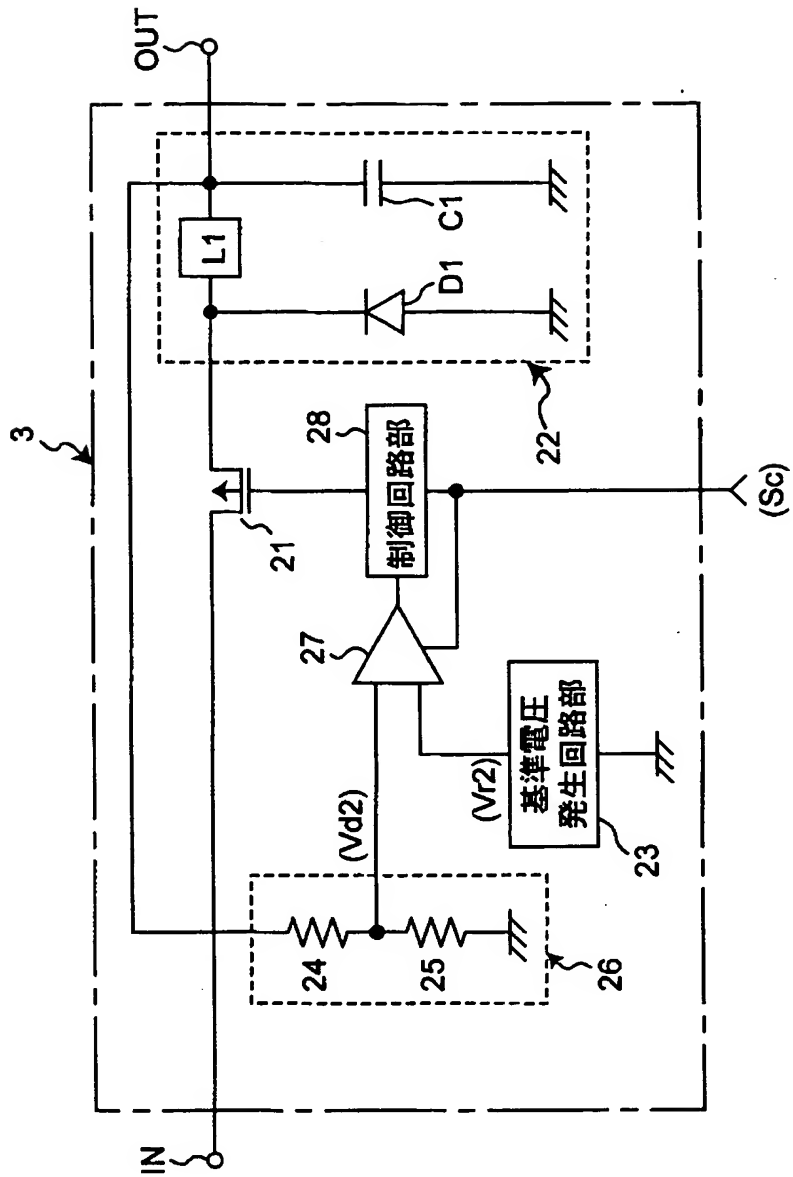
【図 1】



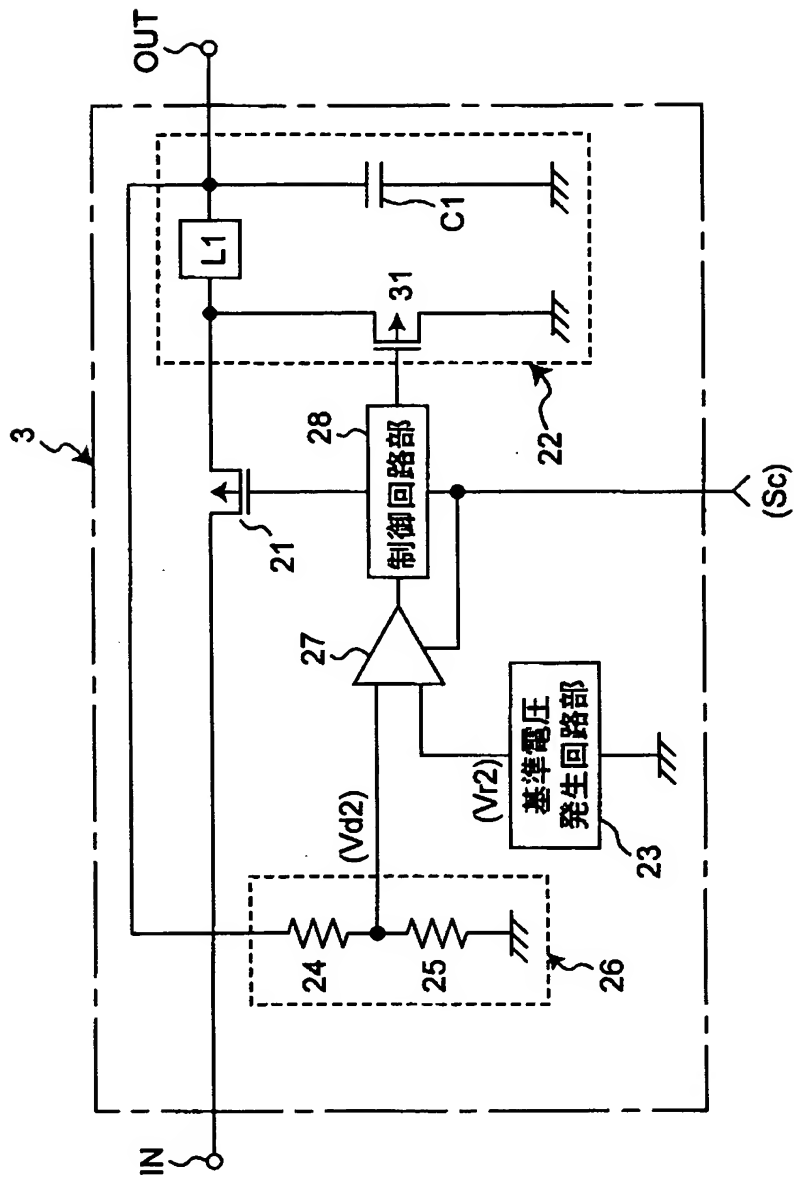
【図 2】



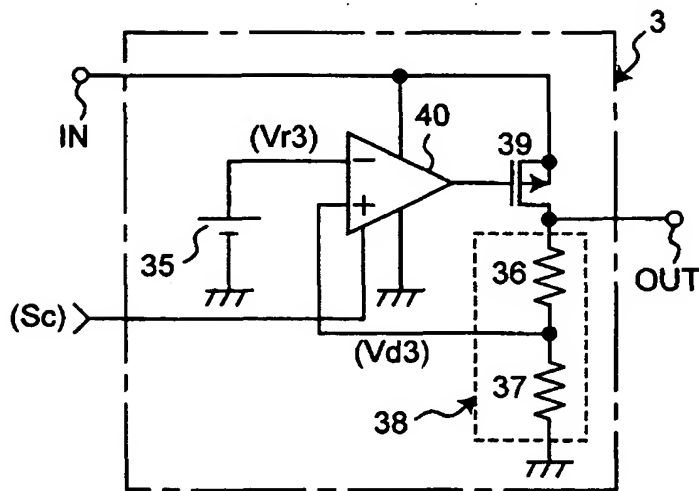
【図 3】



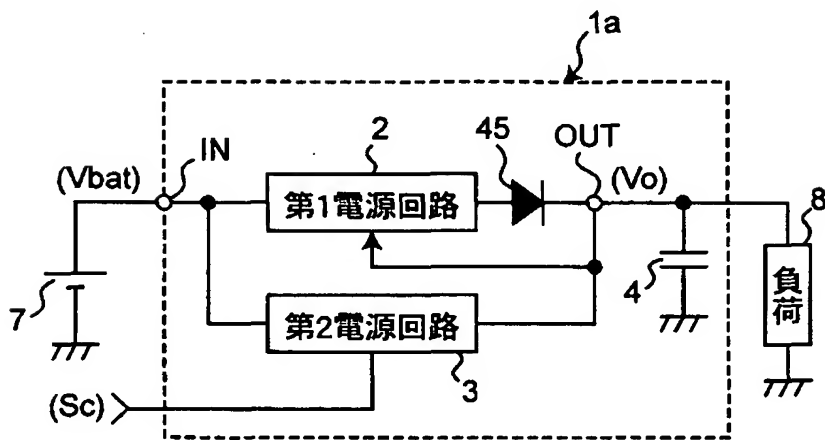
【図4】



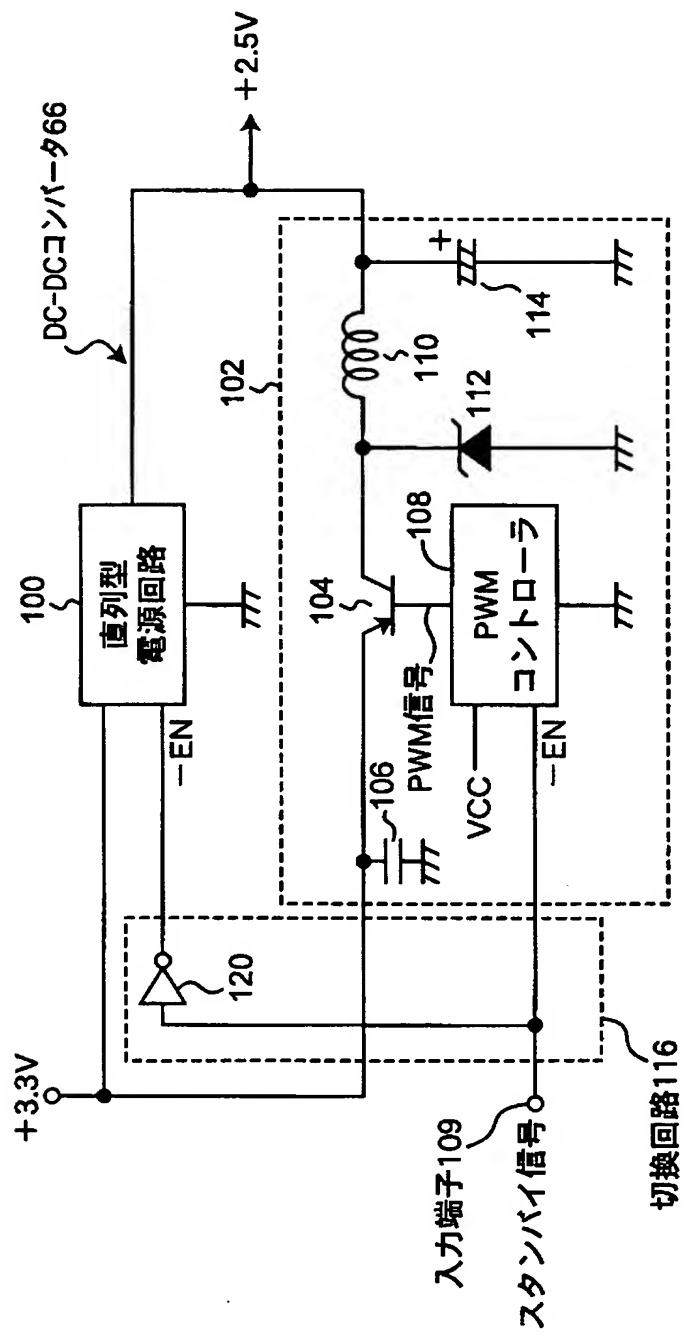
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 簡単な回路構成で、負荷の消費電流に応じて異なる 2 つの電源回路を排他的に切り換えて作動させることができる直流電源装置を得る。

【解決手段】 消費電流の小さい負荷である軽負荷に電源を供給する場合に効率の高い第 1 電源回路 2 と、消費電流の大きい負荷である重負荷に電源を供給する場合に高効率であるが、軽負荷に電源を供給する場合は効率が低下する第 2 電源回路 3 とを入力端子 I N と出力端子 O U T との間に並列に接続し、第 1 電源回路 2 は、第 2 電源回路 3 の出力電圧を検知して、出力端子 O U T に電圧を出力するか否かを制御するようにした。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 2002年 5月17日
[変更理由] 住所変更
住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー